

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-286033

⑬ Int.Cl.⁴
H 04 L 11/00

識別記号
3 2 0

庁内整理番号
7928-5K

⑭ 公開 昭和63年(1988)11月22日

審査請求 未請求 請求項の数 10 (全14頁)

⑮ 発明の名称 2個のデータベース間のデータの伝送を助けるための装置

⑯ 特 願 昭63-102309

⑰ 出 願 昭63(1988)4月25日

優先権主張 ⑱ 1987年4月30日 ⑲ 米国(US) ⑳ 044,867

㉑ 発 明 者 ベンカトラマン・イエ アメリカ合衆国、カリフォルニア州、バークレー ビュー
ール ナ・ビスタ・ウェイ、2600

㉒ 発 明 者 スニル・ビー・ジョシ アメリカ合衆国、カリフォルニア州、キャンプベル ウエ
ストモント・アベニュー、4844

㉓ 出 願 人 アドバンスト・マイク アメリカ合衆国、カリフォルニア州、サニイベイル ビ
ロ・デイバイシズ・イ
ンコーポレーテッド イ・オウ・ボックス・3453、トンプソン・プレイス、901

㉔ 代 理 人 弁理士 深見 久郎 外2名

明 細 書

1. 発明の名称

2個のデータベース間のデータの伝送を助けるた
めの装置

2. 特許請求の範囲

(1) 異なるデータ経路幅を有する2個のデ
ータベース間のデータの伝送を助けるための装置で
あって、

入力と出力の間でデータの経路幅を変えるため
の手段と、

データ経路幅を変えるためにデータが集められ
ている間に一時的にデータをストアするための手
段とを含む、装置。

(2) 経路幅を変えるための前記手段が前記
データベース間で双方向へデータの伝送を可能にす
る手段を含む、請求項1に記載の装置。

(3) データ経路幅を変えるための前記手段
が複数個のデータレジスタと、2個のデータベース
のうちの広い方でワードを構成するのに十分な数
のビットの入来データが受信されてストアされる

まで前記2個のデータベースの狭い方から前記レジ
スタへ入来データをシーケンシャルにロードする
ための手段とを含む、請求項2に記載の装置。

(4) 各データレジスタが1バイトの幅であ
り、さらに前記データレジスタにシーケンシャル
にロードするための前記手段がアセンブルされる
前記ワードがワード内のどんなバイト境界でも
始まり得るようにロードすることを可能にする、
請求項3に記載の装置。

(5) 前記入来データが左から右へのシーケ
ンシャルな順序かまたは右から左へのシーケンシ
ャルの順序のいずれかで前記データレジスタに書
込まれ得る、請求項3に記載の装置。

(6) 前記データレジスタで右から左へかま
たは左から右へのいずれかへシーケンシャルに2
個のデータベースの広い方から入来データをロード
するための手段をさらに含む、請求項3に記載の
装置。

(7) 2個のデータベースの広い方からデー
タをロードするための前記手段が、前記複数個のレ

ジスタのいずれか1個のデータで始まる小さい方のパケットのデータを伝送するための手段を含む、請求項6に記載の装置。

(8) 異なる幅のデータバス間のデータ伝送を助けるための装置であって、

第1のデータ幅で前記データバスのいずれかからデータを受信するための、さらにそれを複数個のデータレジスタで一時的にバッファ記憶し、次にそれを第2のデータ経路幅で他方の前記データバスで伝送するための手段と、

先入れ先出しの態様で入来データをストアするための手段とを含む、装置。

(9) 先入れ先出しの態様でデータをストアするための前記手段は、2個のデータバスの広い方で伝送するために最上位ビットがアセンブルされたワードの左かまたは右に任意で来るようにデータがストアされることを可能にする、請求項8に記載の装置。

(10) データをストアするための前記手段が、2個のデータバスの広い方で伝送するために

およびそこからのデータ経路とは異なる大きさである。典型的なアーキテクチャは、メディアインターフェイスがネットワークメディアの制御を獲得してデータを伝送するように要求するような時が来るまで、データをバッファ記憶してローカルメモリで伝送されるようにすることである。逆に、データがネットワークのどれか他のユニットから受信されると、ローカルCPUがローカルメモリからデータを得てそれに基づいて作動する機会を有するような時が来るまで、データはローカルメモリにストアされる。したがって、ローカルメモリは1レベルのFIFOバッファ動作を提供する。

しかしながら、他のレベルのFIFOバッファ動作は、データ経路幅が変えられ得るように伝送方向および受信方向の両方に提供されなければならない。典型的には、メディアインターフェイスからのデータ経路幅は8ビット幅であるが、ローカルメモリへのおよびそこからのデータ経路幅は32ビット幅である。したがって、4個のバイトがメモリへの書き込みに適する32ビットワードにア

センブルされる大きい方のデータワードで任意のバイト境界で始まる2個のデータバスの狭い方から入来データをストアする、請求項9に記載の装置。

3. 発明の詳細な説明

発明の背景

この発明はFIFOの分野に関するものであり、特に異なる大きさの2個のバスの間でいずれかの方向へデータを伝送しさらにワード境界を変え得るFIFOの分野に関するものである。

データがローカルエリアネットワークに接続される端末または他の装置へ送られたりそれらから受信される通信用途では、データ経路は異なる大きさであったりトランザクションのタイミングがバッファ動作を必要とする状況がしばしば生じる。すなわち、典型的にはネットワークメディアへの伝送データのコード化とネットワークメディアから受信されたデータのデコードとを扱うインターフェイス回路から入ってくるデータ経路はホストマイクロプロセッサのようなローカルCPUへの

センブルされてしまうまで4個のシーケンシャルに受信された8ビットバイトを一時的にストアすることが必要である。逆に、32ビットワードがネットワークをわたって伝送されるとすると、そのワードを一時的にストアしながら個々の8ビットバイトがシーケンシャルに伝送されることが必要である。

カリフォルニア州サニーベイルのアドバンスト・マイクロ・デバイシズ(Advanced Micro Devices)により製造されるAMD7990のような公知の集積回路はFIFOバッファ動作およびデータ経路幅の変更を提供する。この集積回路イーサネット(Ethernet)(登録商標)コントローラの内部アーキテクチャは8ビットないし16ビットデータ経路エクスパンドが後に続く8ビットイン/8ビットアウトFIFOに備えている。しかしながら、ネットワークや、上で特に言及された機械が実現不能である他の用途で有用である或る特徴が存在する。たとえば、伝送したり受信したりするために同じ

回路を使用可能であること、データストリームの番込を始めることになる境界として8ビットバイトのいずれかも使用可能であること、および8ビットバイトを左から右または右から左へ番込んで32ビットワードをアセンブルすることが可能であることは有用である。最後に言及された特徴は、データバス幅の変化のための回路が2つの非常に人気のあるマイクロプロセッサ、すなわちIntel iAPX8086およびMotorola 68020とともに使用されることを可能にする柔軟性を提供し、これらマイクロプロセッサの各々は右端のビットが最上位のビットであるかそれとも最下位のビットであるかに対し異なる約束を使用する。

したがって、データ経路幅を変えて他のオプションを組み入れ得て、異なるモードの動作を有するそれ以上のシステムと互換性がある装置を作るフレキシブルなFIFOアーキテクチャが必要になっている。

発明の概要

バイトは32ビットワードがロードされるまで隣接するレジスタヘシーケンシャルにロードされる。後で到来するバイトは順に並んだ次の4個のレジスタヘシーケンシャルにロードされる。32ビットワードを構成するバイトのシーケンスは外部源から供給される2バイト選択ビットにより選択されるようなレジスタのいずれかで始まり得る。レジスタを埋める順序は、レジスタが左から右へまたは右から左へ埋められ得るように逆にされ得る。バス制御3状態論理は、適当な方向へのデータの流れが同じバスに結合される受信および送信回路の間で競合せずに達成され得るように8ビットおよび32ビット双方向バスを制御する。

好ましい実施例の詳細な説明

第1図を参照すると、この発明のシステムの少なくとも1つの利用がある、システムのブロック図が示されている。第1図のシステムは高速ローカルエリアネットワークのインターフェイスである。ネットワークメディアは一般に光ファイバであり、電子から光へのドライバおよびレシーバは

この発明の教示に従えば、各々がその入力にマルチプレクサ制御のアクセスができる一連の8ビットレジスタが提供される。各マルチプレクサは対応するレジスタのデータ入力に選択的に結合される3個の入力を有する。これら入力の一つは対応するレジスタの出力である。第2の入力は8ビット双方向バスに結合される。各マルチプレクサの第3の入力は32ビット双方向バスからの選択されたグループの8ビットに結合される。

レジスタの出力は一括に2個の32ビットバスへ集められる。これらバスはマルチプレクサにより32ビット双方向バスに選択的に結合される。もちろんこの発明の教示は、入力データバスの幅が8ビット以外の他の幅になり得ること、および出力データバスが32ビット以外の幅になり得ることを考慮に入れている。

入力マルチプレクサの選択入力に8ビット双方向バスに到来する各バイトが8個のレジスタの正しいものへと導かれるような方法でマルチプレクサを制御する制御回路により制御される。それら

FOXユニット20により表わされている。受信されたデータはデコードされ、伝送されるべきデータはENDECユニット22でコード化される。FORMAC24は特定のネットワークのプロトコルまたはトポロギー特定機能を実現するメディアアクセス制御器である。FORMACは、スタティックRAMバッファメモリ28への32ビットデータ経路を制御するデータ経路制御器DPC26で8ビットデータを処理する。バッファメモリ28へのアドレス経路はRAMバッファ制御器30により制御される。ノードプロセッサ32はマイクロプロセッサを含む集積回路の集合であり、RBC、DPCおよびFORMACを制御するように働く。バッファメモリは、ネットワークから受信されてホストシステムへ向かうデータと、ホスト34によりネットワークをわたって送り出されてネットワークの別なユニットへ向かうデータとを一時的にバッファ記憶する。

データ経路制御器26のアーキテクチャは第2図に示される。8ビットないし32ビットFIFO

0は36で示されている。このFIFOはYバス38で8ビットデータを受信および送信する。FIFOはDバス40で32ビットデータを受信および送信する。両方のバスはまたパリティビットを搬送し、それらはバス42および44で別々に示されかつ従来のパリティ検査器46および48により扱われる。これらパリティ検査器およびパリティビットについてこれ以上の言及はなされないが、その理由は当業者にはこの回路の詳細が認識できるし、この回路の存在がこの発明にとっては重大なものではないからである。

バス38上のデータはFORMAC24から受信されかつそこへ伝送されるが、バス40上のデータはバッファメモリ28へ伝送されかつそこから受信される。アドレスバス50、読出／書込制御信号52およびチップ選択制御信号54はRBC30により制御される。FIFOはFIFO制御論理56を介して制御される。FIFO制御論理56の根本的な目的は、FIFOでバストランシーバの3状態機能を制御することおよび32ビット

ワードが始まるバイト境界ばかりでなく種々のマルチプレクサや増分および減分順序を制御することである。この論理の詳細は第5図の検討と関連してより明瞭になるであろう。FIFO制御はまた1個の32ビットワードが入来する8ビットバイトからいつアセンブルされたかを決定するための論理を含み、RBCに対しDWRREQ信号を主張してDPCがメモリ28への書込サイクルを望んでいることを示す。この書込サイクルが認められると、RBCは信号DWRACKを活性化する。FIFO制御回路56はまた、Yバス38で8ビットバイトとして伝送するためにDPCがDMAサイクルでメモリ28からの32ビットワードでいつそのFIFO36を埋める準備ができるかを決定するための論理を含む。RBCが次の32ビットワードのアドレスをその読出要求に応答してアドレスバス50で伝送されるようにし、かつライン52および54で制御信号を適当に制御すると、RBCは読出要求に応答するDRDACKS信号を活性化する。

FIFO制御論理56に結合される他の信号の意味とタイミングは、この発明の教示の文脈でよりよく理解されるように、FIFO36の内部詳細が論じられるときに論じられるであろう。

第3図を参照すると、受信のみのFIFOのブロック図が示されている。データは8ビットYバスにシーケンシャルな8ビットバイトでネットワークから到来する。このデータはバイトクロック信号BCLKの各サイクルで8個の8ビットレジスタR0ないしR7の1つにシーケンシャルにクロックされる。いずれか特定のデータバイトを受信するレジスタR0ないしR7のうちの特定の1個はいずれか特定の瞬間にYカウンタ60の状態に依存する。これが行なわれる態様は、バス62とバス62が結合されるデコード64を介する。バス62上の2進値は、その2進値を変換してバス66の出力ラインの1つを活性化するデコード64によりデコードされる。これら出力ラインは複数のマルチプレクサM0ないしM7の選択ラインに結合される。各マルチプレクサは2個の入力

と1個の出力を有する。一方の入力はYバスに結合され、他方の入力はある特定のマルチプレクサにより受けもたれるレジスタの出力に結合される。各マルチプレクサの出力はレジスタR0ないしR7のうちの1つのD入力に結合される。各マルチプレクサは、2個の入力のうちのどちらが出力に結合されるかを制御する制御信号を受信する選択入力線を有する。第3図の実施例においては、いずれか特定のマルチプレクサに対し選択入力線がアクティブであると、そのマルチプレクサはそのYバス入力を選択して対応するレジスタのD入力に結合する。バス66のデコード64からの信号は、これら8個のマルチプレクサのうちのどれがYバスに結合されるその入力を選択してその対応するレジスタの入力に結合するかを制御する。いずれか特定の時間で、バス66のラインのうちの1つだけがアクティブであり、かつマルチプレクサのうちの1つだけが対応するレジスタのデータ入力にYバスを結合するであろう。他のマルチプレクサはすべて対応するデータレジスタのデータ出

力に結合される入力に対応するデータレジスタのデータ入力へ逆に結合しそれによりそのような各レジスタの内容を逆にレジスタへ再クロッキングする。したがって、カウンタ60がその種々の状態を通過して循環すると、順に並ぶ各マルチプレクサはYバスを対応するレジスタのデータ入力に接続する。その結果、Yバスに到来する各新たなバイトは新たなレジスタにクロックされるが、他のレジスタはすべてそれらの内容を不変のまま保持する。

カウンタ60は、2ビットBYTE SELECT信号によって0から3までのいずれか特定の数に初期化され得る。BYTE SELECTバスでの値は、BYTE SELECT CTL信号の活性化により信号を送られると各4バイトサイクルの初めにYカウンタ60へロードされる。その後で、YカウンタはCNT DIR制御の論理状態により決定されるようなアップまたはダウン方向のいずれかでCLK信号のサイクルをカウントする。WORD SEL信号は、BYTE

SELECTの論理状態と関連してどの32ビットワードがバス66のラインによりアドレスされることになるかを示す。言換えると、WORD SEL信号とBYTE SELECTビットは共に4バイトサイクルごとの開始でのバス66のラインの状態の初期設定を規定する。これにより32ビットワードは種々のバイトの境界で開始されることが可能となり、すなわちR0ないしR3にストアされる32ビットワードはレジスタR0ないしR3のいずれかで始まり得て他のレジスタをシーケンシャルに埋める。さらに、カウンタ60はアップまたはダウンのいずれかをカウントし得る。これにより32ビットのワードは、4個のレジスタR0ないしR3またはR4ないしR7のいずれかで始まって、さらにそれらの最上位ビットを右または左のいずれかへ進めることが可能になる。これは重要な互換性特徴であり、ネットワークインターフェイスおよび特にFIFOがホストとして種々の人気のある3ビットマイクロプロセッサとともに使用されることを可能にする。2個

の最も人気のある32ビットマイクロプロセッサは、それらの32ビットワードの最上位ビットが左にあるかまたはそれとも右にあるかに関して反対のフォーマットを使用する。

各32ビットワードの4個のレジスタの出力は32ビットバスに集められてマルチプレクサ68の2個の入力の一方に入力される。このマルチプレクサは2個の入力を有し、その各々は4個のレジスタの一方のグループに結合され、それらレジスタはそれらの出力が32ビットバス70および72の一方として集められている。マルチプレクサ68の32ビット出力はデータバス40に結合される。第3図には4個のパリティビットが含まれており、そのため出力バスは36ビット幅である。従来のパリティ発生回路は示されていない。ライン74の1ビット選択信号はこれらバス70または72のうちのいずれが出力のために選択されるかを決定する。

第4図を参照すると、この発明の教示に従った伝送のみのFIFOが示されている。この回路で

は、32ビットのデータはバッファメモリのデータポート（示されていない）からバス40で入る。この32ビットデータワードは4個の補助バスで銘々8ビットの4個のバイトに分割される。補助バス80はビット0ないし7を搬送し、補助バス82はビット8ないし15を搬送する。補助バス84はビット16ないし23を搬送し、補助バス86はビット24ないし31を搬送する。これら4個の補助バスは各々8個のマルチプレクサM0ないしM7のうちの1個の1個の入力に結合される。これらマルチプレクサはそれらの出力が8個のデータレジスタR0ないしR7のデータ入力に結合され、その各々は8ビット幅である。これら8個のデータレジスタのデータ出力は対応するマルチプレクサの入力のうちの1個に結合され、データレジスタの内容が成る時に一定に保持されることを可能にする。各データレジスタのデータ出力はまたマルチプレクサ90の8個の個々の8ビット入力に結合される。

マルチプレクサ90の目的は、8ビットYバス

38での出力のために8ビットバスのうちの1個を選択することである。出力するためにマルチプレクサ90により選択されるレジスタR0ないしR7からの8ビットデータ出力のうちの特定の1個はバス92で選択信号により制御される。これら選択信号はカウンタ60により駆動されるデコード64の出力により制御される。カウンタ60およびデコード64がYバスでの出力のために種々のマルチプレクサ入力を選択を制御する態様は、第3図に対し説明されたものと厳密に同一である。

第5図を参照すると、データの流れる方向に依存して8ビットから3ビットへおよびその逆へデータ経路の幅を変える双方向FIFOの図が示されている。8ビットYバス38はバスレシーバ94およびバスドライバ96に結合される。各回路の入力がその出力から分離される制御信号の制御のもとでは、これら回路の各々は高インピーダンス状態に入るための容量を有する。これにより、回路によってバスを逆にロードしてデータを反対方向に駆動しなくてもFIFOを介するデータの

流れの方向が変えられる。

第5図の回路の動作を理解するために、8ビットYバス38から32ビットDバス40へのデータの流れがまず吟味される。この方向へのデータの流れは、DAVALID制御信号がバスレシーバ94が非高インピーダンス状態にあるような状態にあることを必要とする。DAVALID信号がそのような状態にあると、DWRACKおよびXFRBYTE信号は、ANDゲート100がバスドライバ96を高インピーダンス状態にさせて、それによりバスドライバ96がYバス38を逆にロードすることを防ぐような状態にある。DAVALID信号はメディアアクセス制御器24から来て、いつ有効な情報が入力のためにYバスに存在するかを示す。

バスレシーバ94の出力は8個のマルチプレクサM0ないしM7のY入力に結合される。これらマルチプレクサのデータ出力は8個のデータレジスタR1ないしR8のデータ入力に結合され、それらの各々は8ビット幅である。各データレジス

タのデータ出力は対応するマルチプレクサのホールドすなわちH入力へ逆に結合されかつ2個の32ビットバス70および72の一方により32ビットワード選択マルチプレクサ98に結合される。これらバスの各々は各レジスタの出力の8ビットをバスの4個のバイト位置のうちの1個で集めて32ビットワードを構成する。たとえば、レジスタR5の出力からの8ビットはビット位置0ないし7を占有し得るが、レジスタR6からの8ビットはビット位置8ないし15を占有する。

マルチプレクサ98はバス70かバス72のいずれかを選択してバスドライバ102により32ビット出力バス40に結合する。2個のバスのうちどちらが選択されるかについての制御は排他的ORゲート104から出力されるSELECT信号に属する。このゲートはその入力がカウンタ106の出力の一方に結合され、このカウンタ106は可能化されるとバイトクロック信号BCLKの周期ごとでトグルする1ビットカウンタである。カウンタ106はMASTER RESET

T信号を受信するように結合されるリセット入力を有する。この信号は出力が上がってシステムがリセットされると生じ、カウンタの出力を強制的に既知の状態にする。これはバス70または72の既知の一方が選択されることを引き起こす。カウンタ106はまたORゲート107から出力信号を受信するように結合される可能化入力を有し、このORゲート107はその入力が信号DRDACKおよびDWRACKを受信するように結合される。これらの信号はバッファメモリでの読出および書込トランザクションのための肯定応答信号として働く。DWRACK信号はバッファメモリへの書込トランザクションのために書込要求信号に回答して発生され、それはBCLK信号の2サイクルの間続く。DWRACKがアクティブであると、カウンタ106は2クロックサイクルの間可能化され、その出力ライン109は一方のクロックサイクルの間は「0」であり、DWRACKがアクティブである他方のクロックサイクルの間は「1」である。信号CLSBの状態は、バス7

0かバス72のどちらが先に選択されるかについて制御するように、ライン111上のSELECT信号の状態を決定する。信号CLSBは、排他的ORゲート104とカウンタ106を介してDバス40で出力するために2個のバス70または72のうちどちらが最初に選択されるかを制御する。CLSB信号は、最下位バイトがレジスタチェーンR1ないしR8の左端にストアされるかそれとも右端にストアされるかを制御し、さらにレジスタが埋められる方向、すなわち左から右へかそれとも右から左へかを制御する。

バスドライバ102の高インピーダンス状態制御入力を入力として信号RCVDATAおよびDWRACKを有するANDゲート106の出力により制御される。RCVDATA信号はメディアアクセス制御器からの信号であり、この信号はデータ経路制御器にパケットの受信が始まったことを示す。この信号はすべてのパケットの境界を限る。この信号がハイであると、DPCはそれ自体がYバでデータを受信するように準備する。RC

へのアドレスバス上のアドレスが有効であるBCLKの2クロックサイクルの間、BCLK信号と同期してハイになる。DWRACKがハイのRCVDATA信号と同時にハイになると、ANDゲート106はバイドライバ102を活動状態にし、それによりマルチプレクサ98により選択されるどの32ビットででもDバスを駆動する。

この受信データ方法の間のFIFOレジスタのローディングは第5図の最上部に示される論理により制御される。レジスタR1ないしR8のローディングは通常はBYTE SELECT BITSバス130を介してノードプロセッサによりDPCへとロードされるどんなレジスタ番号からでもシーケンシャルに行なわれる。これが行なわれる態様は、通常32ビットワード(1度に8ビット)の受信のために各新たな受信サイクルの始まりでバス130を介してマルチプレクサ116へ1個の入力でR1かまたはR8のアドレスのいずれかを提出することである。マルチプレクサ116はバス138上のBYTE SELECT

VDATAがハイである間は、ハイのDAVALIDID信号はYバス上のデータが有効であることを示す。DAVALIDID信号は有効なバイトがYバス上に置かれる度ごとにハイになるパルスである。RCVDATAがローであると、それはそのパケットに対するパケットの受信が終わりであることを示す。

ANDゲート106への他方の入力RAMバッファ制御器(RBC)からの信号である信号DWRACKであり、それは書込トランザクションのために第1図のメモリ28にアクセスするためにDPCからの要求に回答して発生されてFIFOを空にする。この書込トランザクションのための要求信号とそれを発生するための論理は示されていないが、4個の8ビットバイトの32ビットワードが受信されて2組の4個のレジスタR1ないしR4またはR5ないしR8のうちの一方にストアされると、そのような要求信号を発生するための論理の設計を当業者は認めるであろう。DWRACK信号は、RBCからバッファメモリ28

CTL信号を介して制御されて、各受信サイクルの始まりに出力バス120で提出するためにバス130上のデータを選択する。バス130上のこのデータは通常は新たな32ビットワードの受信の始まりでのレジスタR1またはレジスタR8のアドレスであるが、このバイトの境界は各新たな受信サイクルの始まりでバス130に異なるレジスタのアドレスを置くことによりノードプロセッサにより変えられ得る。

バス120上のデータはバス120を介して増分カウンタ132に入力され、さらに3個の排他的ORゲート139、141および143を介して3ないし8デコード122の入力に与えられる。排他的ORゲートは、CLSB信号が論理「1」であるときにバス120上の3個のビットをすべて反転するように働く。これは、レジスタが埋められる方向を右から左方向に変える効果を有する。CLSBが論理「0」であると、レジスタは左から右へ埋められる。排他的ORゲート139、141および143の出力は3ないし8デコード1

22によりデコードされ、このデコード122はアドレスをデコードして出力バス124でその出力ラインのうちの1つを活動状態にする。このバスは一般に125で示される複数個のANDゲートと、第5図においてそこにLの付いたボックスにより示される複数個の論理ユニットに結合される。これら論理ユニットLの目的は、マルチプレクサM0ないしM7の選択入力を制御することである。125で示されるANDゲートの目的は、有効なデータがYバス上に存在するときにバス124上のデータにより規定される論理ユニットLのうちの1個を選択的に可能化することである。

各論理ボックスの設計は第6図に示されるようなものかまたはその同等物であり得るが、この設計の詳細はこの発明にとって重大ではない。125で示されるANDゲートの各々からは1個の出力があり、各ANDゲートはその入力的一方がデコード122からの出力の一方に結合され、さらに他方の入力がDAVALID信号を受信するように結合される。125で示されるANDゲート

た論理ボックスのどれもがその入力126がデコード122により活性化され、かつ対応するマルチプレクサにそのY入力を選択させるであろう。BYTE SELECT BITS制御バス130上に他のレジスタを選択するノードプロセッサからのデータがなければ、R1かまたはR8のレジスタアドレスのいずれかがバス130上にあり、このバス130は選択されたようにR1またはR8がYバスからの最初の8ビットでロードされるようにするであろう。どちらのレジスタがロードされるかは、そのホストコンピュータが最下位8ビットがホストプロセッサにより使用される32ビットワードの左にある型かそれとも右にある型にか、さらに受信された最初の8ビットが8個の最下位ビットであるかそれとも8個の最上位ビットであるかに依存する。ノードプロセッサはバス130上のデータを適当に制御するようにプログラミングされ、いずれの特定の用途でも使用されているホストプロセッサの型に責任を持つようになる。

の結合された出力はバス127に集められる。デコード122により選択されると125で示されるANDゲートの1個からの出力の各々は論理ユニットLのうちの対応する1個の1方の入力に結合され、対応するマルチプレクサにそのY入力を選択させて対応するレジスタのデータ入力へ結合するようにする。第6図の入力126の活性化は対応するマルチプレクサにYバス38に結合されるその入力を選択させ、ライン129上のSELECT Y信号を活性化することにより対応するレジスタのデータ入力に結合する。入力ライン128の活性化は対応するマルチプレクサにDバスからの選択された8ビットに結合されるその入力を選択させ、ライン131上のSELECT D信号を活性化することにより対応するレジスタのデータ入力に結合する。先に述べたような場合には、Yバスからの受信が考えられている。そのような場合、最初の32ビットワードの最初の8ビットの受信が始まると、バス130上のBYTE SELECTビットにより選択されるLで印され

レジスタをシーケンシャルに埋めることはカウンタ117およびバス138上のBYTE SELECT CONTROL信号により達成される。排他的ORゲート139、141および143の入力に結合されるバス120上の3個のビットはまたカウンタ117の増分入力に与えられる。このカウンタはカウント入力がバイトクロック信号を受信するように結合され、さらにまた可能化入力がORゲートの出力に結合され、このORゲートはXFRBYTE信号に結合される入力とDAVALID信号に結合される入力とを有する。DAVALID信号は上で説明されており、有効な情報がYバス上に存在する度ごとにカウンタがバス120上のビットを増分することを可能にする。DAVALID信号は、Yバス上で入来パケットに8ビットバイトが存在すると同じ数のBCLKサイクルの間はハイのままである。XFRBYTE信号は、レジスタR1ないしR8からYバスを出るデータの伝送の間カウンタがバス120上のビットを増分することを可能にする。XFRBY

TE信号は、RDYTB Y T信号がアクティブのときのみアクティブであり、さらにYバス上に置かれるべき8ビットバイトが存在するのと同じ数のクロックサイクルの間アクティブであり得る。

Yバスからのデータの受信の間、BCLKの最初のクロックサイクルでは、ライン138上のBYTE SELECT CONTROL信号はノードプロセッサにより制御されてバス130上のBYTE SELECTビットの選択を引き起こす。BCLKの第2のクロックサイクルの間、ノードプロセッサはBYTE SELECT CONTROL信号を制御して、マルチプレクサ116にバス119上のデータを選択させてバス120に結合するようにする。第1のクロックサイクルの間、バス120上のデータはバス130でBYTE SELECTビットでコード化される。レジスタアドレスであった。このアドレスはカウンタ117により増分されてバス119上に提出された。したがってライン138上のBYTE SELECT CONTROL信号がマルチプレク

サ116にバス119上のアドレスを選択させるように変えられるときには、そのアドレスは既に増分されてしまっており、そのためバス119上のアドレスはバス130上に最初に提出されたアドレスから1だけ増分される。各後に続くバイトクロックサイクルでも類似する増分が生じる。

32ビットワード境界以外のバイト境界からFIFOを埋めることが可能であることはしばしば有用である。言換えると、特定の状況ではレジスタR1から始める代わりにレジスタR2で始めて左から右へFIFOを埋めることが望ましいこともあり得る。この特徴を実現するために、ノードプロセッサは4個のレジスタのグループでそのレジスタを識別するBYTE SELECT BITS制御バス130に2ビットを置いてYバスから埋め始めることになる32ビットワードをストアし得る。次にノードプロセッサ32はまたライン138上のBYTE SELECT CONTROL信号を活性化し、バス120に与えるようにマルチプレクサ116にバス130に結合され

るその入力を選択させる。したがってデコーダ122は、論理ボックスLの適当な1個がその対応するマルチプレクサにそのYバス入力を選択させることを引き起こす。次のBCLKサイクルでは、バス120上のこのバイト選択データはカウンタ117により1だけ増分される。レジスタを埋める方向がCLSB信号の状態により確立されるように右から左であるならば、排他的ORゲート139、141および143はバス120上のビットを反転させ、それによりバス120上のアドレス各増分が結果としてデコーダ122の入力でのアドレスの減分を生じるようにさせる。このように32ビットワードに対する種々のバイトの境界は増分され得る。

ホストプロセッサから出てネットワークを渡るデータ伝送は、FIFOがDバス40でバッファメモリ28から到来する32ビットデータワードをYバス38でシーケンシャルに伝送される一連の8ビットバイトに変換することを必要とする。この方法における第1のステップは、Dバス40

からの隣接する8ビットバイトでレジスタR1ないしR8をロードすることである。この方法はDRACK信号がアクティブになるときに起こる。この信号はDバス上にバッファメモリからの有効なデータが存在することを示していた。DRACK信号は伝送を実施するためにDPCからのデータ読出要求に回答してRBCにより発生される。信号DRACKはバスレシーバ142の3状態制御入力に結合され、さらにバスレシーバ142がDバス40をマルチプレクサM0ないしM7のD入力に結合することを引き起こす。各マルチプレクサM0ないしM3はDバス40上の異なるグループの8ビットに結合される。たとえば、マルチプレクサM3のD入力はDバスのビット0ないし7に結合されるが、マルチプレクサM2のD入力はDバスのビット8ないし15に結合される。このパターンは残余のマルチプレクサM1およびM0およびマルチプレクサM4ないしM7に対し完了され、そのため各グループの4個のマルチプレクサM0ないしM3およびM4ないしM7はD

バス上のすべてのビットに結合される。

DバスからYバスへの伝送が起こるようになる時には、Dバス上の32ビットワードは4バイトに解体されねばならず、さらに各バイトはレジスタにロードされて伝送のために保持されねばならない。一旦4個のレジスタがロードされてしまうと、それらの内容はYバスをわたって1度に1バイトシーケンシャルに伝送され得る。最初の4個のバイトが伝送される間、次の4個のバイトは残余の4個のレジスタにロードされ得る。

最初の4個のレジスタのローディングは好ましい実施例においては32ビットワードをDバス40上に置いて信号DRDACKを活性化することにより同時に達成される。これら32ビットはCLSB信号の状態に依存してレジスタR1ないしR4またはR5ないしR8のいずれかへ次のBCLKサイクルで同時にストロークされる。

これが起こる方法は、ANDゲート133および135およびカウンタ106および排他的ORゲート104の働きを介する。ANDゲート13

の8ビットをストアさせる。DRDACK信号はORゲート107を介して2クロックサイクルの間カウンタ106を可能化するので、カウンタ106は1クロックサイクル後にその出力ライン109の状態を変えるであろう。これは排他的ORゲート104の出力が状態を変えることを引き起こし、それはANDゲート133にその出力ライン137を活動状態にさせる。これはレジスタR5ないしR8が各々そのときDバス40上に存在するどんな32ビットワードからでも8ビットをストアすることを引き起こす。

ライン144上の第3の制御信号がNORゲート146により発生されることが第6図から認められるであろう。この信号はいずれか特定の論理ユニットLに対しライン126と128のいずれもがアクティブでないときはいつでもアクティブであり、それは関連するマルチプレクサに関連するレジスタの出力に結合されるそのH入力を選択させる。第5図において、これら入力はホールドに対しHと示されている。ライン144上の信号

5はその出力がマルチプレクサM0ないしM3の各々の論理ユニットLの各々へ向かう入力ライン128へ結合される。ANDゲート133はその出力がマルチプレクサM4ないしM7の各々に対応する論理ユニットLの入力ライン137に結合される。入力ライン133はマルチプレクサM0ないしM3の各々に対応する論理ユニットLの入力ライン128に対応する。ANDゲートの各々の入力的一方は排他的ORゲート104の出力に結合されるが、この入力はANDゲート135で反転される。ANDゲート133および135の他方の入力はDRDACK信号に結合される。DRDACK信号がアクティブになると、ANDゲート133または135の一方はその入力で2個の論理「1」を有し、その出力ラインがアクティブになるようにする。排他的ORゲート104の出力がライン128をアクティブにするような状態であると仮定されたい。この結果マルチプレクサM0ないしM3はそれらのD入力を選択し、それはレジスタR1ないしR4の各々にバス40から

がいずれか特定のマルチプレクサおよびレジスタの組合せに対しアクティブであるときの効果は、レジスタの内容がBCLK信号の各サイクルでそのデータ入力へ逆にストアされるのでレジスタの内容が一定に保たれることを引き起こすことである。

いずれか特定の32ビットワードに対しすべてのレジスタが埋められた後でそのワードの伝送が始まり得るが、或る実施例においては伝送はレジスタを埋めることと同時にあり得る。伝送は次のように起こる。レジスタのすべてのデータ出力はマルチプレクサ150のデータ入力に結合される。このマルチプレクサのデータ出力はバスドライバ96によりYバスに結合される8ビットバスである。このバスドライバの3状態制御はANDゲート100および2個の制御信号入力RDYTB1TおよびXFRBYTEにより制御される。RDYTBYT信号はメディアアクセス制御器(MAC)に対しDPCにより主張され、内部FIFOが十分に埋められていることおよびDPCがMA

Cに連続するバイトを保証し得ることを示す。この信号はDPCで制御論理（示されていない）により発生され、MACが1バイトにつき1度XFR BYTE信号を主張することによりFIFOからすべてのバイトを流出してしまうまでハイのままである。これら信号の両方がハイであると、ANDゲート100は現在マルチプレクサ150により選択されているどんなバイトを用いてもバスドライバ96にYバスを駆動させる。

マルチプレクサ150はその選択入力バス152上のXMT SELECT信号、ゲート154およびバス127上に現われる選択信号を介してノードプロセッサにより制御される。このノードプロセッサはどのバイトで伝送を始めるかをシーケンシャルに選択し得て、さらにライン130上のBYTE SELECT信号およびライン138上のBYTE SELECT CONTROL信号により伝送のシーケンスを制御し得る。XFR BYTE信号がアクティブであると、それはカウンタ117がそのときバス120上にあるア

ドレスを増分することを可能にする。伝送はライン130上のBYTE SELECT信号により待たれるどんなレジスタでも開始される。その後、BYTE SELECT CONTROL信号はマルチプレクサ116をスイッチングしてその入力119をバス120に結合し、カウンタ117は伝送される各バイトに対し1度アドレスを増分する。CLSB信号の状態はレジスタが左から右へ空にされるかそれとも右から左へ空にされるかを制御する。デコーダ122の8個の出力は、各々がANDゲート125のうちの1個の1方の入力に結合されることに加えて、バス155に結合される。バス155上のビットの各々はゲート154を介してマルチプレクサ150の選択入力の1個に結合される。ゲート154は125と示されるANDゲート回路網と同じ構造を有する。ライン152上のXMT SEL信号はアクティブであるとバス155上の8個のラインすべてをマルチプレクサ150のそれらの対応する選択入力に結合する。XMT SELECT信号は

またその機能が同等なのでXFR BYTE信号であってもよい。各レジスタの内容は、そのレジスタに対応するバス155のラインがデコーダ122により活動状態にされるとバスドライバ96によりYバスへと駆動される。

この発明はここに記載された好ましい実施例に関して説明されてきたけれども、当業者はこの発明の真の精神および範囲から逸脱することなしに多くの修正がなされ得ることを認めるであろう。そのような修正はすべて前掲の特許請求の範囲の範囲に含まれることが意図されている。

4. 図面の簡単な説明

第1図はこの発明が利用されるシステムのブロック図である。

第2図はデータ経路の幅を変えるFIFOを示す簡略化されたデータ経路制御器アーキテクチャのブロック図である。

第3図は8ビットないし32ビットの受信のみのFIFOのブロック図である。

第4図は8ビットないし32ビットの伝送のみ

のFIFOのブロック図である。

第5A図および第5B図は好ましい実施例に従った8ビットないし32ビットの双方向FIFOのブロック図である。

第6図は第5図の論理ブロックの1つの論理図である。

図において、26はデータ経路制御器DPC、28はスタティックRAMバッファメモリ、30はRAMバッファ制御器、32はノードプロセッサ、36は8ビットないし32ビットFIFO、38はYバス、42および44はバスである。

特許出願人 アドバンスト・マイクロ・ディバイ
イズ・インコーポレーテッド

代理人 弁理士 深見久郎

(ほか2名)



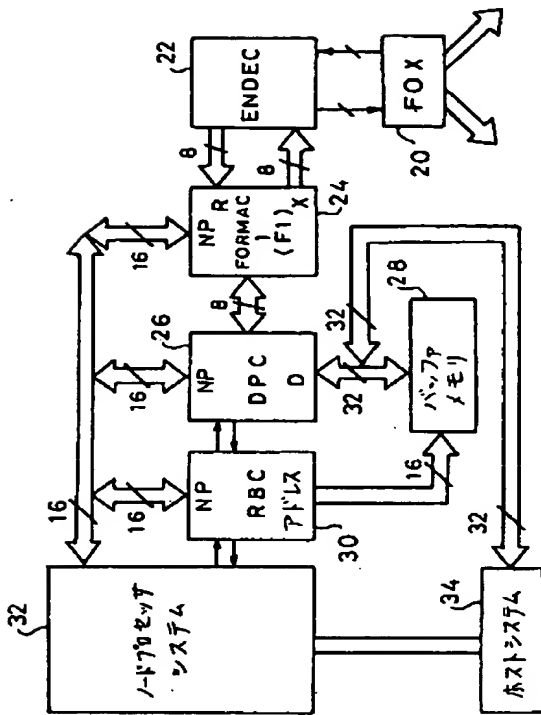


FIG. 1

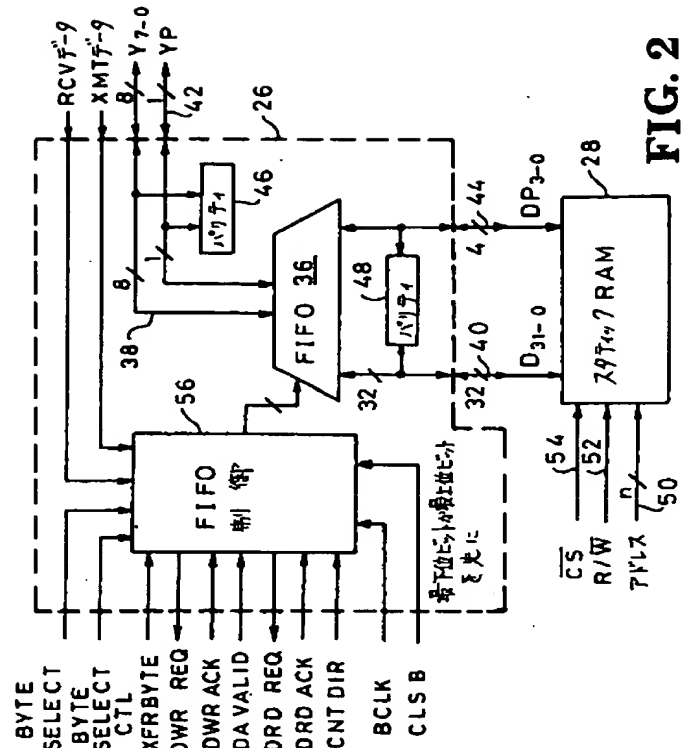


FIG. 2

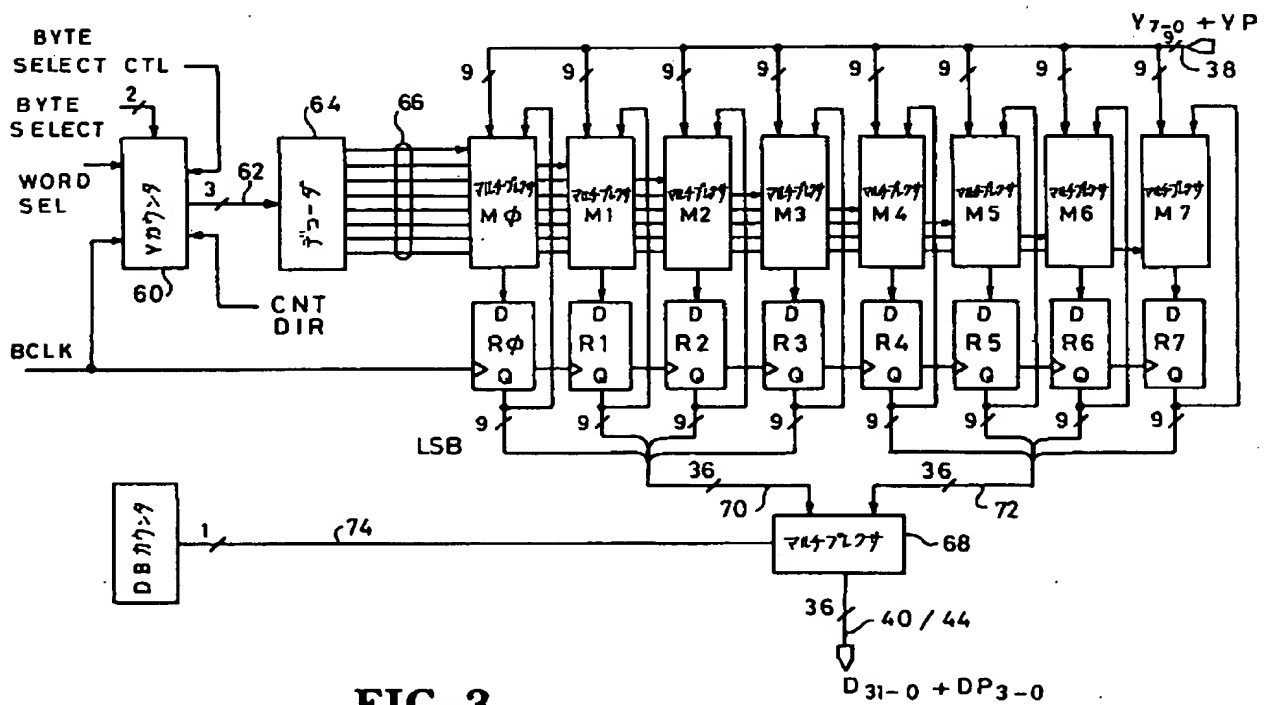
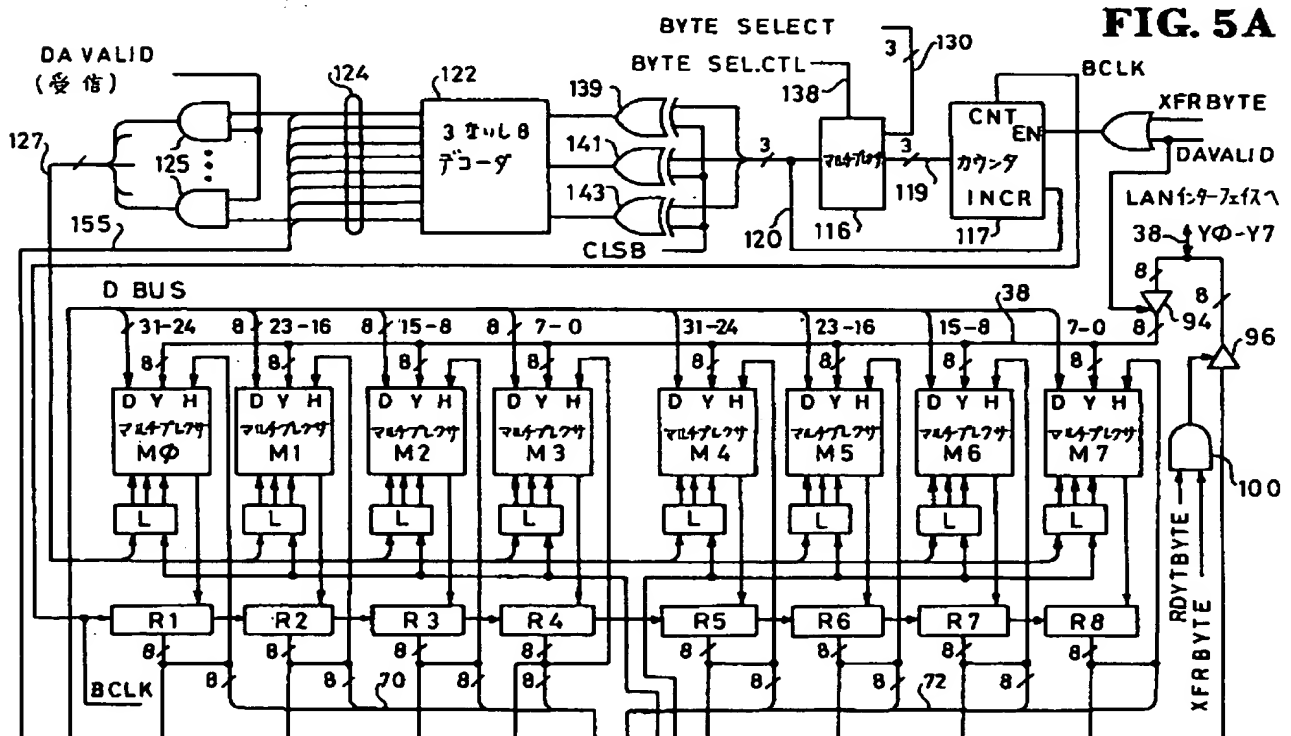
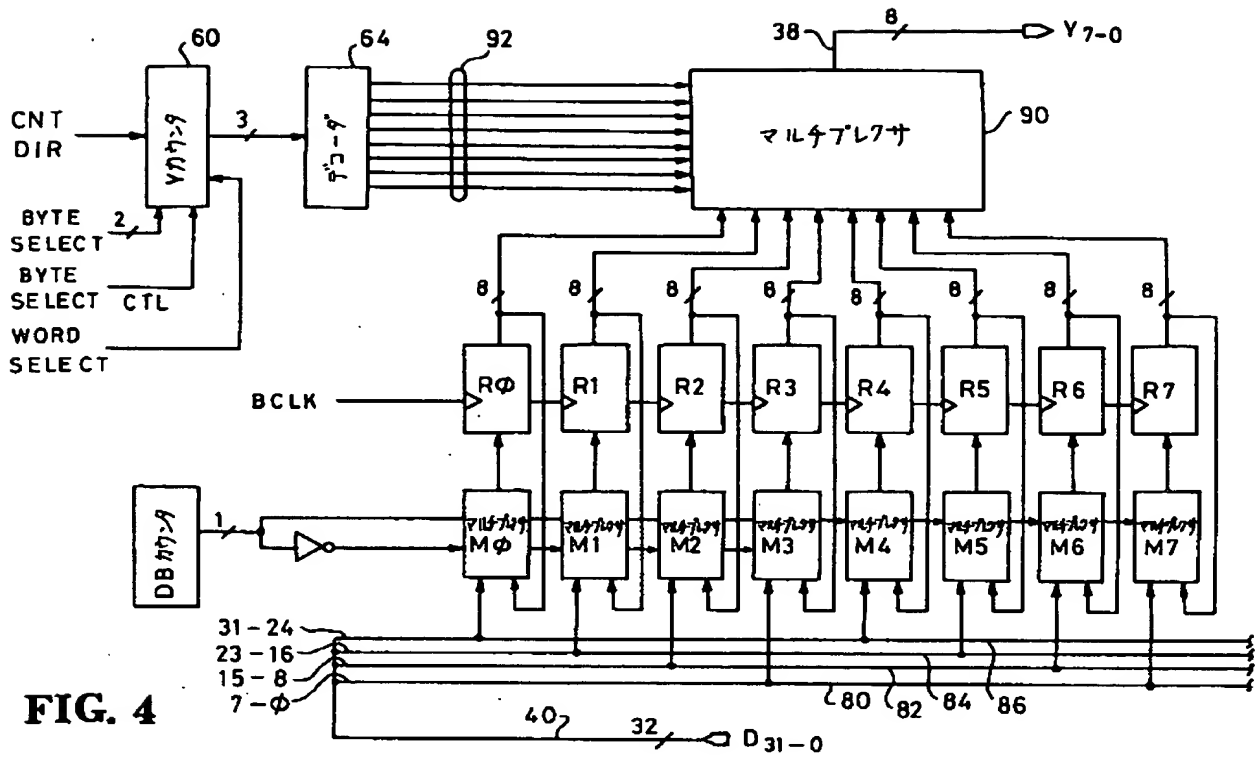


FIG. 3



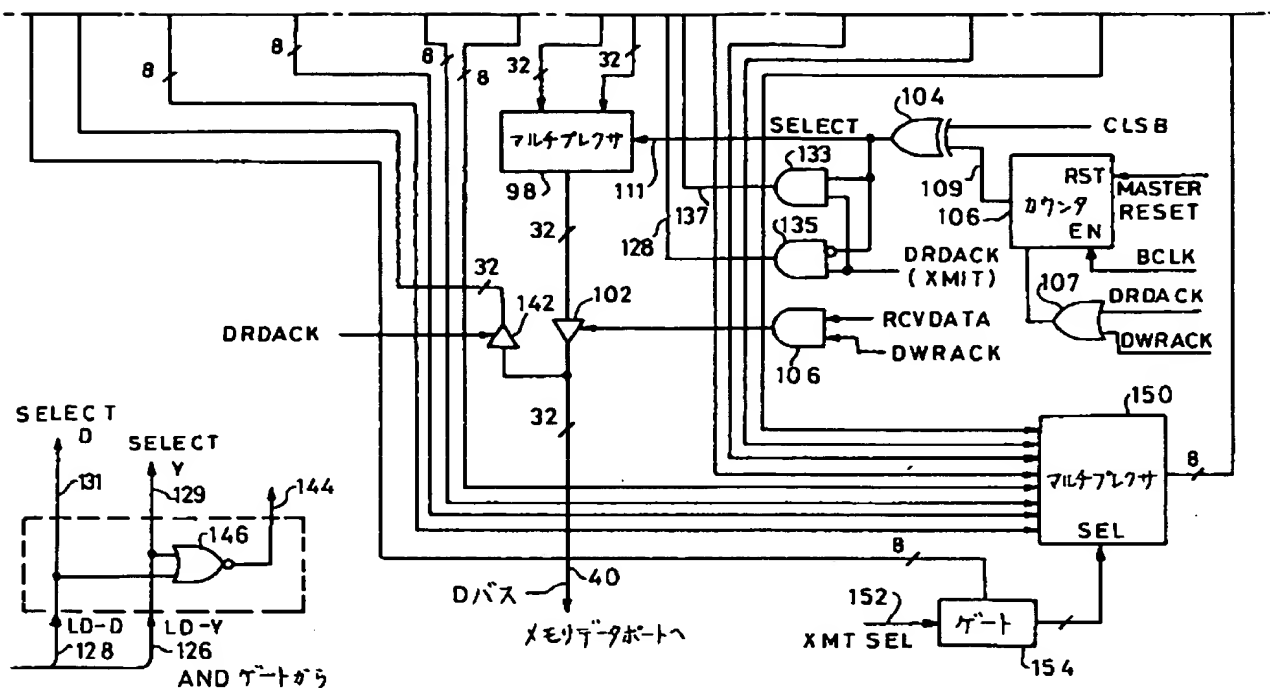


FIG. 6

FIG. 5B